

Sincronización de Circuitos Integrados complejos CMOS

Linares Aranda Mónico ¹, González Díaz Oscar ²

*Instituto Nacional de Astrofísica, Óptica y Electrónica, INAOE
Luis Enrique Erro 1. Tonantzintla, Cholula, Pue. México C.P. 72840*

Salim Maza Manuel ³

*Freescale Semiconductor México. Complejo Intermex Suite "E"
Periférico Sur 7999, Sta. Ma. Tlaquepaque, Jalisco, México. C.P. 45601
(Recibido: 29 de septiembre de 2010; Aceptado: 29 de abril de 2011)*

Debido a la tendencia de integrar diversos subsistemas electrónicos y mecánicos complejos en un solo circuito integrado, es necesario alternativas de temporización y sincronización eficientes en velocidad, consumo de potencia y área. En este artículo se propone el uso de osciladores de anillo interconectados y acoplados como redes de generación y distribución de señales de reloj, para la sincronización de sistemas integrados en un mismo chip. Se presentan resultados de simulación HSPICE de redes convencionales y no convencionales diseñadas utilizando parámetros típicos de dos procesos de fabricación de circuitos integrados CMOS pozo N Austria Micro Systems (AMS) 0.35 μm y Berkeley 0.13 μm . En base a resultados experimentales obtenidos de redes de distribución de reloj locales y globales fabricadas con el proceso CMOS de 0.35 μm de AMS, se demuestra que los anillos interconectados y acoplados representan una aproximación apropiada para sistemas integrados en un solo circuito de silicio debido a su buen desempeño, escalabilidad con la tecnología, bajo corrimiento al reloj, alta velocidad, tolerancia a fallas y robustez a variaciones del proceso de fabricación.

Palabras clave: Circuitos integrados; Osciladores; Redes de reloj; Sincronización

Due to the trend of integrating various complex electronic and mechanical subsystems in a single integrated circuit or chip, timing and synchronization alternatives efficient in speed, power consumption, and area are needed. In this paper, the use of interconnected and coupled ring oscillators as clock generation and distribution networks for the synchronization of integrated systems in a single chip is proposed. The HSPICE simulation results of the conventional and non-conventional networks designed using typical parameters of two integrated circuit fabrication processes (N-well Austriamicrosystems 0.35 μm CMOS and Berkeley 0.13 μm) are presented. Based on the experimental results obtained from local and global clock distribution networks fabricated in Austriamicrosystems 0.35 μm process, it was demonstrated that the interconnected and coupled ring oscillators represent a good approach for integrated systems in a single silicon chip due to its good performance, scalability with technology, low time uncertainty, high speed, fault tolerance, and robustness to process variations.

Keywords: Integrated circuits; Oscillators; Clock networks; Synchronization

1. Introducción

Actualmente, los circuitos integrados (CI) o chips que se utilizan en diferentes sistemas electrónicos multimedia contienen millones de diminutos dispositivos semiconductores llamados transistores, ocupan áreas de silicio de varios milímetros cuadrados y operan a frecuencias del orden de Giga Hertz (10^9 Hz). Debido al manejo masivo de información y su procesamiento en tiempo real, especialmente en aplicaciones de video y comunicaciones portátiles, se requiere que estos sistemas sean cada vez más rápidos y consuman menos potencia. La mayoría de estos sistemas procesan la información de forma digital y realizan sus operaciones en forma síncrona [1], esto es, necesitan de al menos una señal de reloj que active (temporice) y transfiera (sincronice) la información apropiadamente para su correcto funcionamiento.

Típicamente esta señal de reloj es generada fuera del chip mediante un oscilador de cristal, un oscilador controlado por voltaje (VCO), un lazo de amarre de fase (PLL), etc.; y es introducida al chip a través de una de sus terminales (Fig. 1). Posteriormente, la señal de reloj es distribuida mediante una red en forma global a todos los elementos de carga (sumideros) que la necesiten, y que generalmente se encuentran dispersos en todo el chip. Las Redes de Distribución de Señal de Reloj (RDSR) operan a la frecuencia más alta, manejan la carga más grande, ocupan gran parte del área de un CI y presentan un alto consumo de potencia (hasta 50% de la energía total del sistema) [2].

Todas las RDSR están constituidas principalmente de interconexiones y en menor grado de transistores (buffers), y utilizan estructuras y técnicas adicionales para asegurar el correcto funcionamiento de la red ante diversos efectos eléctricos y ambientales no deseados (ruidos) [2]. El diseño

¹mlinares@inaoep.mx

²ogonzalez@susu.inaoep.mx

³msalimm@freescale.mx

Tabla 1. Figuras de Mérito para 3 Arreglos de anillos alimentando 64 (Arreglo 8x8) sumideros, acoplados de modos diferentes. Cobertura de 11mmx11mm y tecnología AMS 0.35µm.

Tipo de Acoplamiento	F (Hz)	ClkSkw (%)	Potencia (mW)	V _{barrido} (V)
Rejilla	1.073	2.35	183.5	1.800
Doble ancho	1.028	4e-13	220	1.820
Ajedrez	1.099	4e-13	173	1.785

Tabla 2. Frecuencia interna, clock-skew y consumo de potencia del arreglo de 16 anillos interconectados y acoplados no expandidos.

V _{dd} (V)	f _{int} (GHz)	f _{ext} (MHz)	Skew (%)	P _{osc} (mW)
2	0.799	49.99	0.24	2.47
3.3	1.41	88.37	17.6	5.68

Tabla 3. Clock Skew y Jitter de peor caso en arreglos expandidos de anillos acoplados.

Chip	Esquinas	Clock Skew [Jitter] (%)			Promedio por Chip
		Lados	Internos		
1	46.9 [3.01]	27.19 [4.33]	17.75 [3.25]	30.61 [3.53]	
2	32.02 [2.88]	32.85 [2.88]	3.1 [2.50]	22.66 [2.75]	
3	31.16 [2.75]	36.42 [2.88]	9.0 [2.25]	25.53 [2.63]	
Promedio	36.69 [2.88]	32.15 [3.36]	9.95 [2.67]		

Tabla 4. Figuras de mérito de arreglos de VCOs.

Chip	V _{dd} (V)	F _{ext} (MHz)	F _{int} (MHz)	I _{dd} (mA)	I _{E/S} (mA)	P _{vco} (mW)
1	3.3	44.7	715.2	74.6	55.08	246.2
2	1.4	30.6	489.6	1.8	51.26	2.6
3	2.7	37	592	89.92	46.55	242.8

de estas redes es complejo y este se agrava con la actual exigencia de un mayor desempeño de los sistemas integrados. La tendencia a incorporar constantemente un mayor número de funciones está provocando que los sistemas electrónicos sean más grandes (SoC: System on chip y MCM: multi-chip module) [3], lo que a su vez provoca que las RDSR ocupen mayor área y consuman mayor energía.

Sin embargo, un CI no puede crecer infinitamente, debido a las limitaciones físicas de los materiales con los que se fabrican. Particularmente, las interconexiones imponen una cobertura (tamaño) máxima sobre la cual una señal puede conmutar a una frecuencia dada [3], y se reduce cuando la frecuencia crece (Fig. 2). Además, en tecnologías avanzadas de fabricación de CI son las interconexiones las que determinan el retardo de los sistemas integrados, y la evolución del desempeño de las interconexiones globales no es compatible con las velocidades de reloj global esperadas utilizando estas tecnologías.

Debido a lo anterior, y con el fin de continuar aplicando señales de reloj mediante las típicas redes globales, se ha

modificado el escalamiento de las interconexiones de los últimos niveles de metalizado en un CI [4], y se dedican esfuerzos considerables en incorporar mejores y/o nuevos materiales en los procesos de fabricación, así como técnicas más eficientes de distribución de la señal de reloj. Estas tendencias y limitaciones plantean serios problemas en el diseño de estructuras que manejen señales de forma global, particularmente las RDSR. Con el fin de resolver algunos de los problemas que plantea el diseño de las RDSR globales en sistemas grandes y rápidos, en este trabajo se explora la filosofía local y se propone el uso de redes de distribución de reloj de anillos interconectados y acoplados.

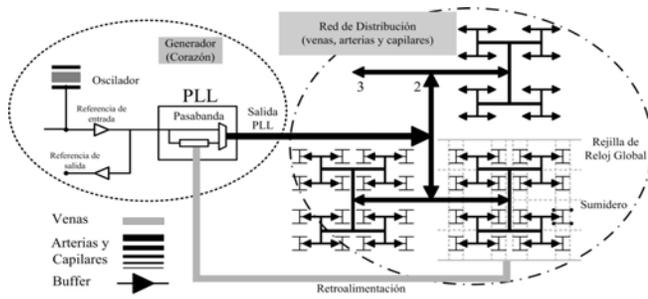


Figura 1. Sistema de reloj de un microprocesador.

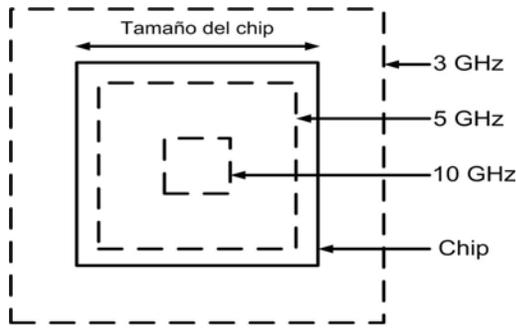


Figura 2. Regiones isócronas para un microprocesador de 750 mm² fabricado con un proceso tecnológico CMOS de 50 nanómetros de tamaño mínimo de ancho de línea.

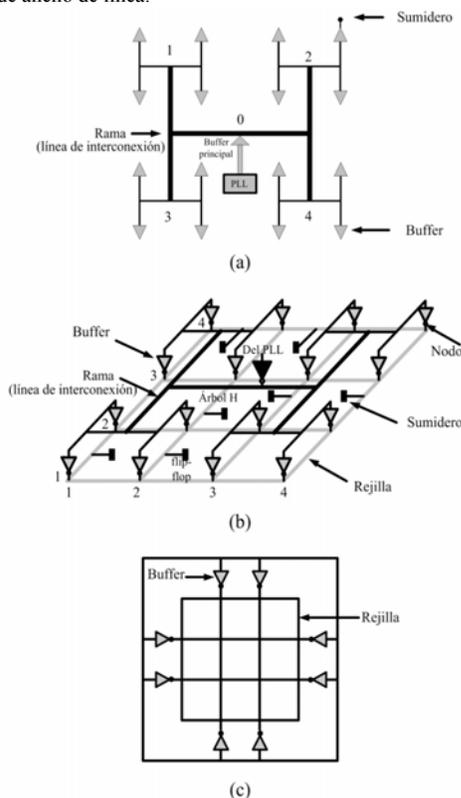


Figura 3. Redes de distribución de señal de reloj global: (a) árbol H, (b) árbol H con rejilla, (c) rejilla.

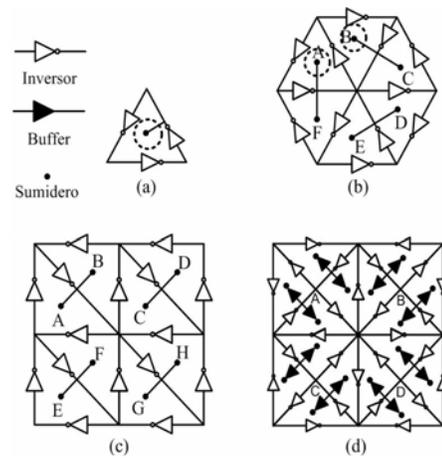


Figura 4. Arreglos de osciladores: (a) anillo básico alimentando un sumidero, (b) 6 anillos interconectados a 60°, (c) 8 anillos interconectados a 45°, (d) 16 anillos interconectados a ±45° con buffers en cada sumidero.

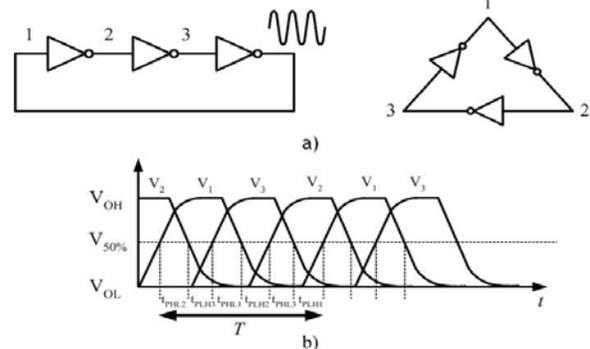


Figura 5. (a) Oscilador de anillo de 3 inversores, (b) Formas de onda del oscilador de anillo de figura 5a.

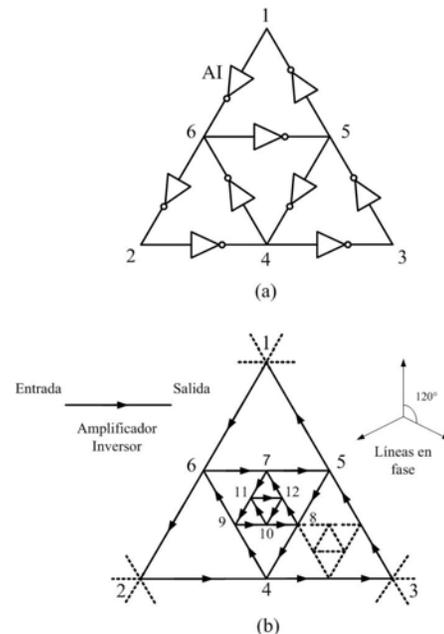


Figura 6. Arreglo de osciladores interconectados y acoplados.

Tabla 5. Clock skew y Jitter de peor caso en arreglos acoplados expandidos de VCOs.

Chip	Clock Skew [Jitter] (%)			Promedio por Chip
	Esquinas	Lados	Internos	
1	65 [4.6]	70 [2.9]	35 [1.4]	56.7 [2.9]
2	15 [14.7]	21[6.8]	40.2 [9.4]	25.4 [10.3]
3	37 [14]	72[13]	30 [15.4]	46.3 [14.2]
Promedio	39 [11.1]	54.3 [7.6]	35. 1[8.7]	

Tabla 6. Figuras de mérito de la red global.

Chip	V _{dd} (V)	f _{ext} (MHz)	f _{int} (GHz)	I _{dd} (mA)	I _{E/S} (mA)	P _{vco} (mW)	P _{E/S} (mW)
1	3.3	63	1.01	34.65	44.70	114.3	147.5
2	1.4	29	0.46	4.34	46.78	6.2	154.3
3	1.5	82	1.31	110	54.45	167.2	179.7

Tabla 7. Porcentaje de Clock skew y jitter de peor caso de la red global.

Chip	Clock skew (%)	Jitter (%)	Skew+Jitter (%)
1	18	4	22
2	11	13	24
3	82	16	98
Promedio	37	11	48

Tabla 8. Resumen de Figuras de Mérito de redes propuestas.

Topología	Anillos acoplados	VCOs acoplados	Red Global
Frecuencia de Operación (MHz)	963	592	1300
Potencia (mW)	298	243	167
Clk Skw (ps)	384	912	284
Clk Skw (%)	37	54	37
Jitter (ps)	35pp	248pp	284pp
Jitter (%)	3.4	14.7	37
Skw+Jitter (%)	40.4	68.7	74
Frec(MHz) @ Skew+Jitter=10%	238.7	86.17	175.67
P/F_{Skw+Jitter=10%} (mW/MHz)	1.25	2.82	0.95

$Frec_{Skw+Jitter=10\%}$ es la frecuencia a la cual, $Skw + Jitter$ constituye el 10% del periodo de la señal.

2. Redes de distribución de reloj

2.1. Redes Convencionales

Los actuales diseños de RDSR diseminan una señal original en forma global a todas las compuertas o nodos (sumideros) que la requieran. Cada sumidero representa una carga que puede ser desde una compuerta sencilla hasta todo un elemento procesador complejo. Las RDSR de árbol H y Rejilla o una combinación de ambas (Fig. 3), son las

topologías de RDSR más frecuentemente utilizadas en aplicaciones comerciales; sin embargo, para chips grandes cada vez es más difícil cumplir con las principales figuras de mérito requeridas, tales como: frecuencia máxima, rango de control de frecuencia, corrimiento de reloj (skew), temblor del reloj (jitter), consumo de potencia, tiempo de espera (standby) y cobertura (tamaño).

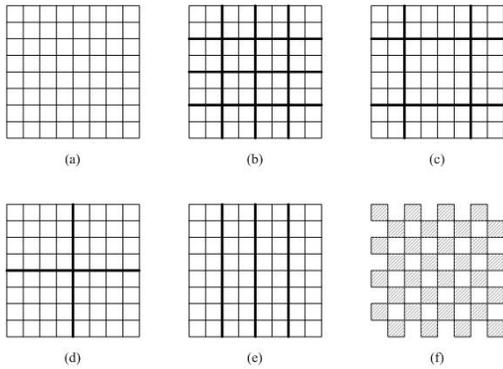


Figura 7. Diferentes formas de acoplamiento: a) rejilla, b) doble ancho, c) charola, d) espina dorsal, e) rieles de metal, f) ajedrez.

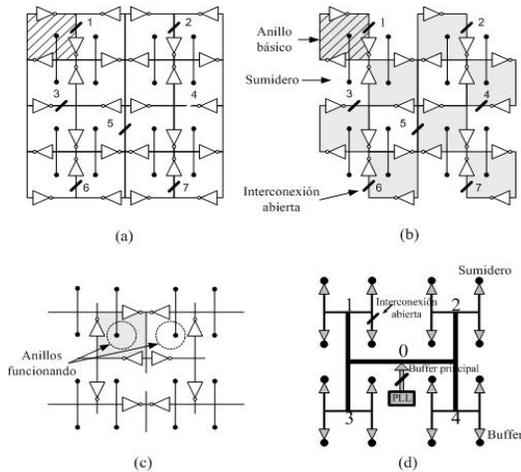


Figura 8. Redes locales de distribución de señales de reloj con interconexiones abiertas alimentando a 16 sumideros: (a) rejillas, (b) ajedrez, (c) red ajedrez considerando 7 fallas críticas, (d) árbol H con fallas críticas.

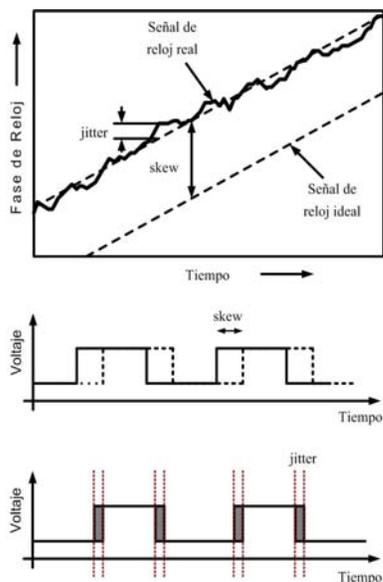


Figura 9. Incertidumbres de la señal de reloj.

2.2. Redes No Convencionales

Con el fin de resolver algunos de los múltiples problemas que presenta el diseño de RDSR globales [5], han surgido las redes de *Arreglos de Osciladores de Anillo Interconectados*, bien del tipo *resonante* en base a líneas de transmisión y utilizando ondas estacionarias [6], o bien del tipo *no-resonante* en base a líneas de transmisión utilizando ondas viajeras, entre las que se encuentran los *arreglos de osciladores de reloj rotatorio* [7] y los *arreglos de osciladores de anillo interconectados y acoplados* [5]. Éstos últimos constituyen el tema de investigación del presente trabajo.

Las *Redes en base a Arreglos de Osciladores de Anillos Interconectados y Acoplados*, como las mostradas en la figura 4 [5], [8], [9], son redes activas compuestas de cadenas de celdas de retardo en lazo cerrado. Las redes son de fácil diseño, pues éste se reduce únicamente al de un solo oscilador y la repetición e interconexión del mismo hasta lograr un tamaño determinado. Poseen robustez a variaciones del proceso de fabricación ya que éstas son absorbidas por todos los anillos, minimizando su impacto en las diferentes figuras de mérito. Asimismo, son altamente regulares y escalables con los avances de la tecnología.

3. Osciladores de anillo interconectados y acoplados

3.1. Oscilador de anillo básico

Un oscilador de anillo puede construirse usando un número impar (par) de celdas o etapas de retardo inversoras (no inversoras) conectadas en lazo cerrado o anillo. Sea el oscilador de anillo de tres inversores convencionales mostrado en la figura 5. En este oscilador, el periodo de oscilación T de la onda de voltaje a la salida de cualquier inversor puede expresarse como la suma de 6 tiempos de retardo de propagación (Fig. 5b). Considerando inversores idénticos las capacitancias de carga en las salidas son iguales, por lo que es posible expresar el periodo de oscilación T en términos del tiempo de retardo promedio τ_d de las etapas de retardo:

$$\begin{aligned}
 T &= \tau_{PHL1} + \tau_{LH1} + \tau_{PHL2} + \tau_{PLH2} + \tau_{PHL3} + \tau_{PLH3} \\
 &= 2\tau_{P1} + 2\tau_{P2} + 2\tau_{P3} \\
 &= 3(2\tau_d)
 \end{aligned}
 \tag{1}$$

Con

$$\tau_d = \frac{\tau_{PLH} + \tau_{PHL}}{2} \cong \frac{C_L}{V_{dd}} \left(\frac{1}{\beta_n} + \frac{1}{\beta_p} \right)$$

(2)

$$\tau_{PHL} \cong \frac{1}{2} \left(\frac{4C_L}{\beta_n V_{dd}} \right) = \frac{2C_L}{\beta_n V_{dd}}$$

$$\tau_{PLH} \cong \frac{1}{2} \left(\frac{4C_L}{\beta_p V_{dd}} \right) = \frac{2C_L}{\beta_p V_{dd}}$$

$$\beta_n, \beta_p = \frac{\mu_{n,p} \epsilon_{ox}}{T_{ox} \left(\frac{W}{L} \right)}$$

$\mu_{n,p}$ = Movilidad de portadores en transistores n, p
 ϵ_{ox} = Permitividad del óxido de silicio
 T_{ox} = Grosor del óxido de silicio
 L, W = Longitud, ancho de canal de los transistores, respectivamente.
 C_L = Carga en la salida del inversor
 C_{ox} = Capacitancia de compuerta del transistor MOS.
 V_{dd} = Voltaje de alimentación

Así, la frecuencia de oscilación es inversamente proporcional al número N de etapas o celdas de retardo y al tiempo de retardo promedio por etapa τ_d . Generalizando la expresión para un número impar N de etapas de retardo se tiene:

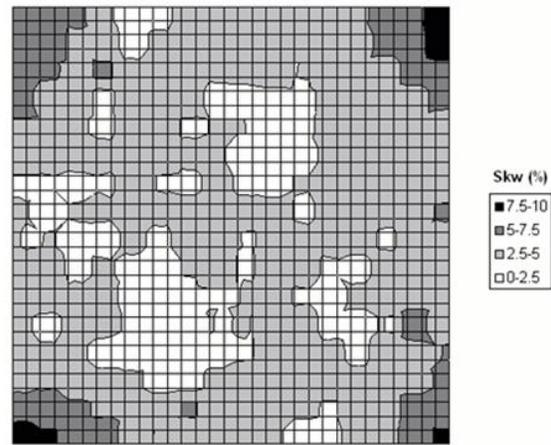
$$f_{osc} = \frac{1}{N2\tau_d} \quad (3)$$

De la ecuación (3) se observa que la velocidad del oscilador puede aumentarse reduciendo el número de etapas N , lo cual resulta muy atractivo no únicamente por el incremento en la velocidad de operación sino por la disminución en el consumo de potencia y área requerida. De acuerdo con esto, es atractivo considerar osciladores de dos y una etapa; sin embargo, es más difícil satisfacer simultáneamente los criterios de oscilación de Barkhausen (Ganancia en amplitud y cambio de fase) [10]. La oscilación estable en un anillo requiere un cambio de fase total de 360° a una frecuencia en la cual la ganancia en pequeña señal del lazo esté por encima de 0 dB. En un anillo de N etapas cada etapa contribuye con un cambio de fase de $180^\circ/N$ y la inversión de fase en corriente directa (CD) provee los 180° restantes. De esta forma en un anillo de 3 etapas cada etapa debe proveer de un cambio de fase dependiente de la frecuencia igual a 60° y 180° de cambio de fase en CD dando un total de 360° . En un oscilador de 2 etapas, cada etapa debe exhibir un cambio de fase dependiente de la frecuencia de 90° , requiriendo usualmente más de un polo. Finalmente, en un lazo de una sola etapa, la señal debe experimentar un cambio de fase de 180° en la frecuencia de oscilación además de la inversión en CD.

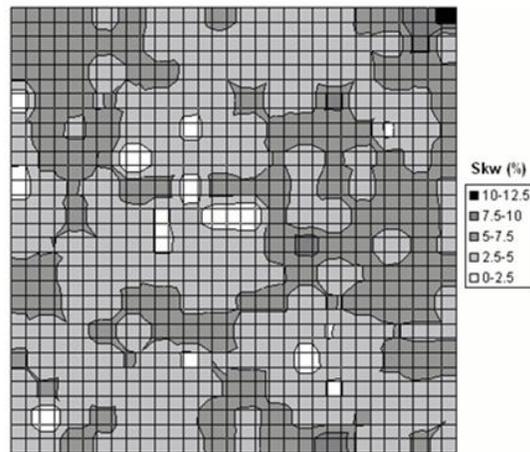
Con el fin de lograr un buen compromiso entre velocidad y consumo de área y potencia, en este trabajo nos restringimos a osciladores de anillo de 2 y 3 etapas.

3.2. Arreglos de Osciladores interconectados y acoplados

Una vez diseñado el oscilador de anillo básico, se pueden conectar muchos de ellos en un arreglo de diferentes formas. Considérese la versión de oscilador de anillo básico de forma triangular mostrado en la figura 5a. Compartiendo un inversor de cada lado del triángulo, este se puede extender a una red de 2 dimensiones tal como se muestra en la figura 6a. Se observa en esta figura que cualquier triángulo constituye una celda fractal [11] en el



(a)



(b)

Figura 10. Corrimiento de reloj (Skew) porcentual de peor de 10 casos de análisis de Montecarlo para arreglos de anillos en tecnologías de 0.13 micrómetros, 1024 sumideros, 48x48mm (a) modo rejilla, (b) modo ajedrez.

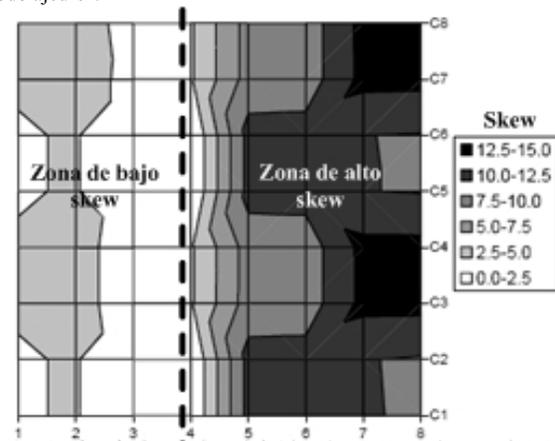


Figura 11. Corrimiento de reloj (Skew) porcentual para el peor de 30 casos de análisis de Montecarlo para una RDSR de árbol H en tecnología de 0.13 um. 64 sumideros, 12x12 mm.

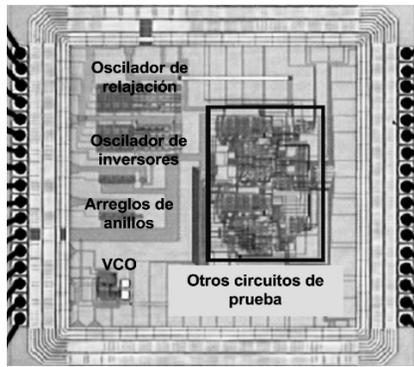
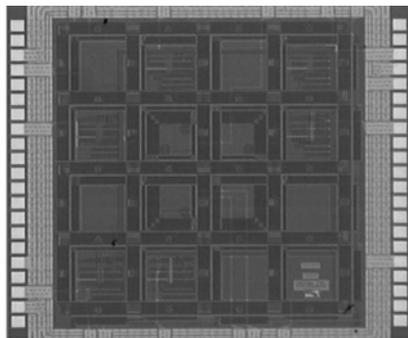
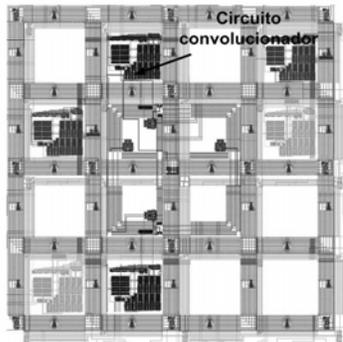


Figura 12. Fotografía del chip RDR02.



(a)



Verde: VCO's acoplados
 Rojo: Anillos acoplados en rejilla
 Azul: Red global

(b)

Figura 13. (a) Fotografía del chip RDR04, (b) Layout mostrando la distribución de las diferentes redes de reloj de RDR04. Las tres redes de distribución de reloj están expandidas en el chip.

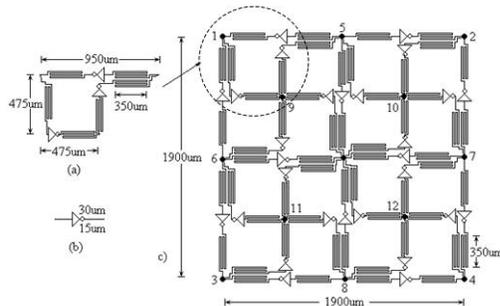


Figura 14. Arreglo de 16 anillos acoplados en modo rejilla. (a) celda básica, (b) inversor simple, (c) arreglo expandido mostrando sus 12 salidas.

sentido de que cualquier forma de triángulo interno tiene la misma forma de la red entera (Fig. 6b). Las RDRs de anillos interconectados presentadas en la figura 4 están acopladas en modo rejilla; este modo introduce efectos de borde que hemos denominado “efectos de superficie de cristal” por su semejanza con las impurezas en los cristales semiconductores. Con el fin de contrarrestar estos efectos en [8] se presentan diferentes formas de acoplamiento de los arreglos en base a la duplicación del ancho de los segmentos compartidos entre celdas de retardo (Fig. 7). En la tabla 1 se compara el desempeño de 3 arreglos alimentando el mismo número de sumideros, cubriendo la misma área y mismo arreglo matricial pero con diferente modo de acoplamiento. De la tabla 1 se observa que el esquema de Ajedrez presenta mayores ventajas ya que consume menos potencia, oscila más rápido y posee corrimiento (clkSkw) de reloj teóricamente de 0%.

3.3. Robustez de RDSR de anillos interconectados y acoplados

3.3.1 Tolerancia a fallas

Durante el proceso de fabricación de un CI se presentan defectos en los dispositivos (transistores, diodos, capacitores, resistores, etc.) y en sus interconexiones, debido a fallas de las diferentes etapas del proceso (malas difusiones e implantaciones, sobre-grabados y falta de grabado de materiales, malos depósitos de aluminio, polisilicio, cobre, etc.). En especial, es de vital importancia el defecto de conductores abiertos (roturas), ya que en sistemas complejos actuales se ha encontrado que hay una alta probabilidad de que existan roturas en líneas de interconexión. Esto es más crítico en CI con tecnologías avanzadas utilizando varios niveles de interconexión de metal. Las RDSR de anillos interconectados y acoplados han mostrado ser más robustas a fallas de circuito abierto que las redes globales conservando prácticamente el mismo desempeño [12]. Así por ejemplo, si se presentaran las siete fallas indicadas en las figuras 8a y 8b (los números en las interconexiones de estas figuras indican interconexiones abiertas), correspondientes a arreglos de anillos interconectados seguirían funcionando ya que la señal de reloj llegaría a todos los sumideros por otro camino diferente al de la falla, tal como se indica en la figura 8c. Por el contrario, en el caso de la red global de árbol H alimentando a 16 sumideros S_i (Fig. 8d), puede verse que si sucediera tan solo una falla crítica (rotura) en la interconexión que lleva la señal de reloj al sumidero inicial de la red S_0 , entonces, todos los sumideros finales de la red $S_i, i=1.2...N$ ($N=16$), se quedarían sin señal de reloj y en consecuencia el sistema integrado no funcionaría.

3.3.2 Incertidumbre de la señal de Reloj

El corrimiento o “skew” y el temblor o “jitter” de la señal de reloj (Fig. 9), son incertidumbres altamente importantes en la sincronización de sistemas digitales y de

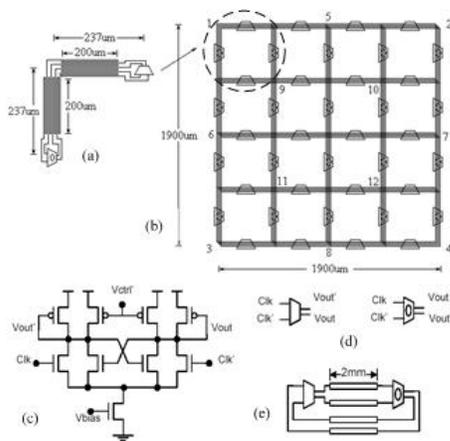


Figura 15. Arreglo de 4x4 VCO's acoplados. (a) celda básica, (b) arreglo expandido, (c) celda de retrato, (d) símbolos de celda, (e) in VCO expandido.

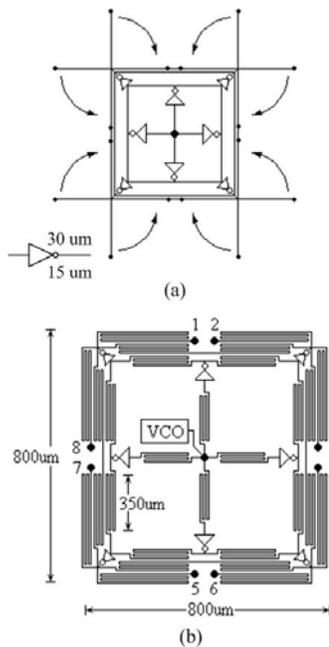


Figura 16. Red global. (a) sus ocho brazos externos doblados hacia adentro, (b) red junto con VCO (fig. 4c) y sus 8 salidas.

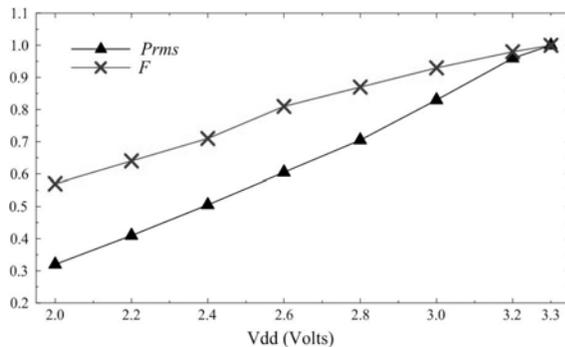


Figura 17. Comportamiento normalizado del consumo de potencia (*Prms*) y la frecuencia (*F*) con *Vdd* para el arreglo de 16 anillos interconectados y acoplados.

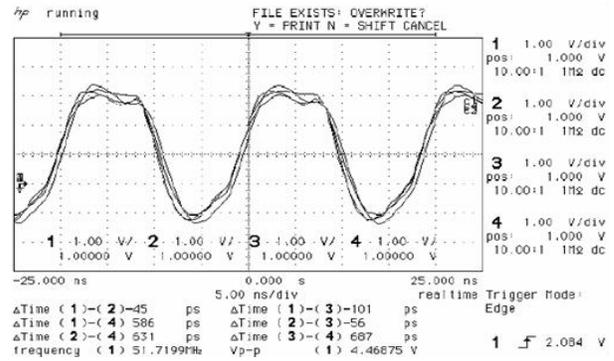


Figura 18. Formas de onda de salida de las esquinas del arreglo expandido de 6 anillos interconectados y acoplados en modo rejilla. $V_{E/S}=3.3$ V, $V_{ddANILLO}=3.3$ V.

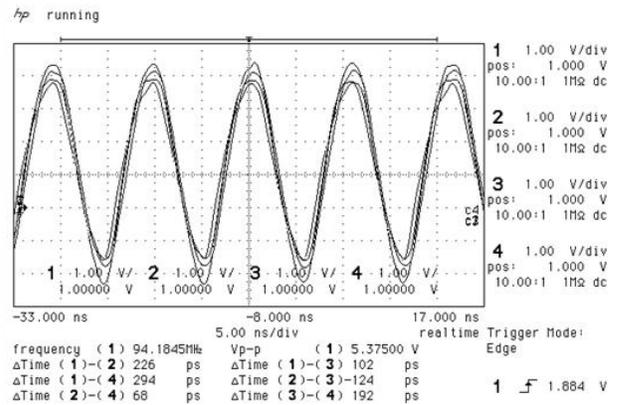


Figura 19. Formas de onda de salidas de esquinas del arreglo de 4x4 VCO's acoplados. $V_{ddVCO}=1.4$ V $V_{E/S}=3.3$ V. Frecuencia externa de 94 MHz equivalente a una frecuencia interna de 1.5 GHz.

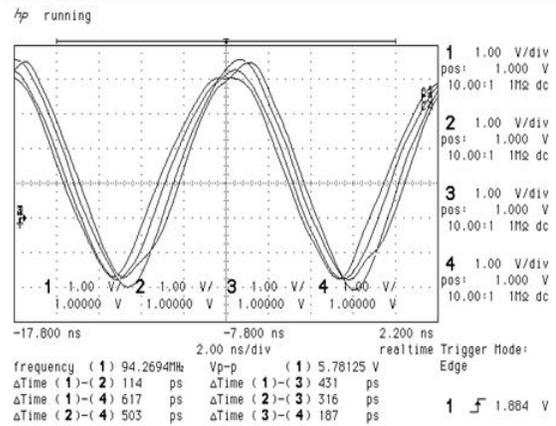


Figura 20. Formas de onda de salida en nodos 1, 3, 4 y 6 de la red global. $V_{dd}=1.4$ V, $V_{PADS}=3.3$ V.

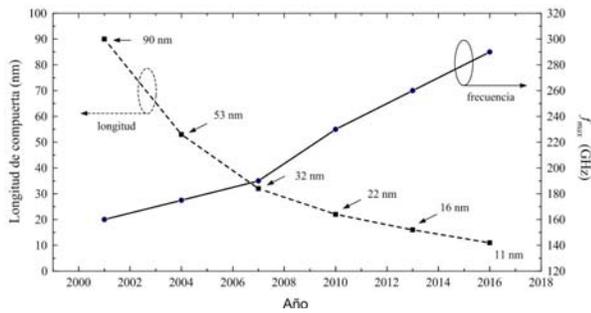


Figura 21. Tendencia de la longitud de compuertas del transistor y f_{max} en tecnología CMOS.

comunicaciones. El skew se refiere a variaciones en el tiempo de llegada de los flancos de la señal de reloj en diferentes sumideros finales, y el jitter se refiere a la fluctuación alrededor de los flancos de elevación y caída de la señal de reloj en un mismo sumidero. Ambas variaciones en la señal de reloj limitan la frecuencia de operación de los circuitos que la utilizan.

Con el fin de determinar la estabilidad de arreglos de anillos interconectados y acoplados frente a variaciones del proceso de fabricación, se investigó el desempeño de 16, 64, 256 y 1024 anillos acoplados en forma de rejilla y ajedrez cubriendo 6, 12, 24 y 48mm de lado de forma cuadrada, respectivamente, a través de un análisis de MonteCarlo [8]. Se consideró un 10% de variación en la longitud mínima de canal del transistor; 30% de longitud mínima en el ancho del transistor e interconexiones; 8% en el ancho de óxido; 23% y 18% en los voltajes de encendido de los transistores tipo N y P, respectivamente; y 20% en la resistencia por cuadro y capacitancia por área de la interconexión. Estos valores fueron tomados considerando la variación en los parámetros del proceso de fabricación proporcionados por el fabricante de las tecnologías AMS 0.35 μm y Berkeley 0.13 μm . Los anillos fueron simulados utilizando modelos propuestos en [13], [14]. En las figuras 10 y 11 se presentan gráficas del corrimiento de reloj de diferentes RDSR utilizando una tecnología de fabricación Berkeley de 0.13 micrómetros (μm), frecuencia de 2.1GHz, ancho de interconexión de 1 μm y una carga en cada sumidero de 20fF. La figura 10a corresponde al peor de 10 casos del arreglo de anillos interconectados modo rejilla. Obsérvese cómo los corrimientos más grandes ocurren en las esquinas del arreglo y la mayor parte del mismo presenta corrimiento menor a 5%. La figura 10b corresponde al peor de 10 casos del arreglo de Anillos Interconectados modo Ajedrez; puede verse cómo el corrimiento más grande ocurre en una esquina del arreglo y los siguientes ocurren en tres regiones aisladas y ubicadas aleatoriamente. La mayor parte del arreglo presenta corrimiento menor a 7%. La figura 11 corresponde al peor de 30 casos de la red global Árbol H alimentando solo 64 sumideros en un área máxima de 12mmx12mm. Obsérvese cómo los corrimientos más grandes y más pequeños

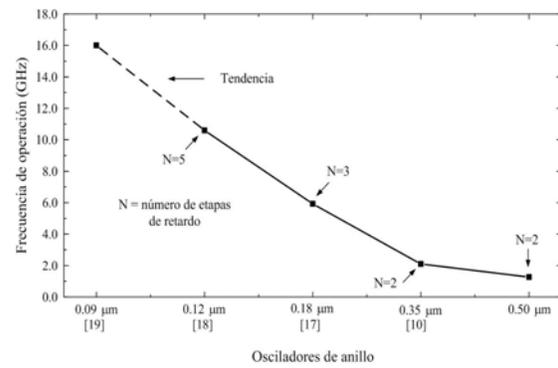


Figura 22. Frecuencia de operación de diferentes VCO's del estado del arte.

ocurren en diferentes lados del arreglo; una mitad del arreglo presenta bajo corrimiento y la otra mitad presenta alto corrimiento. Esto muestra que el arreglo es muy sensible a variaciones de proceso que afecten las primeras etapas del árbol H, reflejándose estas variaciones en las etapas subsecuentes.

4. Diseño de circuitos integrados de prueba

Con el fin de verificar experimentalmente la funcionalidad y desempeño de diferentes RDSR utilizando anillos interconectados y acoplados, se diseñaron y fabricaron dos circuitos integrados (chips) utilizando una tecnología CMOS AMS de 0.35 μm .

A) El chip denominado RDR02 (Fig. 12) contiene estructuras no expandidas, entendiéndose esto como estructuras ocupando el mínimo de área: un oscilador anillo de tres etapas de retardo, un oscilador de relajación, un arreglo de 16 osciladores de anillo en modo rejilla y un arreglo de osciladores de relajación acoplados en modo rejilla. Mediante este chip se verificó el amarre de los arreglos de anillos interconectados y acoplados [8]. Cada celda de retardo la forma un inversor convencional de una longitud de canal $L=L_{min}=0.35\mu\text{m}$; y anchos de canal $W_N=3\mu\text{m}$ y $W_P=6\mu\text{m}$. Se utilizó metal nivel 2 con ancho de 0.9 μm para las líneas de interconexión y un ancho de 2 μm para las líneas de alimentación en nivel 5. Los arreglos de anillos ocupan un área de 190 μm x 190 μm , lo que constituye una cobertura muy pequeña por lo que estos arreglos se consideran no expandidos. Se tomaron los cuatro nodos cuaternarios como las salidas del arreglo (nodos A, B, C y D en la figura 4d) ya que presentan la misma fase y el menor efecto de superficie de cristal. Debido a la alta frecuencia de operación de los arreglos y a las limitaciones del equipo de medición, se utilizaron divisores de frecuencia en las diferentes salidas [8], [10].

B) El chip fabricado denominado RDR04 (Fig. 13) contiene tres RDSR distribuidas en todo el chip: dos del tipo local y una del tipo global. Las RDSR usan serpentinillas de 5 vueltas para extender la longitud de las interconexiones entre etapas de retardo. Cada RDSR tiene

como sumidero final un convolucionador de señales de 4x4-bits.

- *Arreglo de 16 anillos interconectados y acoplados en modo rejilla* (Fig. 14). En esta red cada anillo está compuesto por tres inversores convencionales. Las dimensiones de los transistores utilizados en cada inversor son $L_{\min}=0.35\mu\text{m}$, $W_n=15\mu\text{m}$ y $W_p=30\mu\text{m}$. El área del arreglo es de $1900\mu\text{m} \times 1900\mu\text{m}$. El perímetro de cada anillo con serpentinas es de 11.1mm. Con el fin de verificar las formas de onda en diferentes lugares geométricos del arreglo, se seleccionaron 12 salidas con la misma fase tal como se indica en la figura 14c. Las salidas son divididas en grupos: esquinas (nodos 1-4), lados (nodos 5-8) e internos (nodos 9-12).

- *Arreglo de VCOs acoplados en modo rejilla* (Fig. 15). Consiste en un arreglo matricial de 4x4 VCOs acoplados en modo rejilla. Cada VCO está formado por dos celdas de retardo diferenciales [10]. El arreglo tiene un área de $1900\mu\text{m} \times 1900\mu\text{m}$ y utiliza serpentinas de tres dobleces. El perímetro de cada VCO con serpentinas es de 2.5mm. Se seleccionaron 12 salidas con la misma fase tal como se indica en la figura 15b (nodos 1-12).

- *Red Global* (Fig. 16). La red global disemina una señal generada por un VCO a 16 sumideros distribuidos en un área de $800\mu\text{m} \times 800\mu\text{m}$. Las ramas externas de la red fueron dobladas internamente (Fig. 16a) y se usaron serpentinas para incrementar la separación entre repetidores con el fin de verificar el comportamiento del arreglo con interconexiones de longitud grande. Se tomaron ocho salidas del arreglo tal como se indica en la figura 16b.

5. Resultados experimentales [15]

- *Chip RDR02*. En la tabla 2 se resumen los valores de clock skew, consumo de potencia y la frecuencia interna (dividida por 16) para diferentes valores de la fuente de alimentación. El comportamiento del consumo de potencia y la frecuencia se muestran en la figura 17. Los valores son normalizados con el máximo valor presentado en la tabla 2. Se observa una alta linealidad de estos parámetros con V_{dd} .

- *Chip RDR04*. Las mediciones experimentales de diferentes figuras de mérito de las redes expandidas fabricadas fueron tomadas en 3 chips. En las figuras 18 a 20 se muestran formas de onda de salida experimentales de los arreglos expandidos mostrando mediciones de frecuencia, voltaje pico a pico y skew entre las salidas. Los diferentes arreglos fueron alimentados con $V_{dd}=3.3\text{V}$. En las tablas 3 a 7 se presentan figuras de mérito de las redes fabricadas. El skew y jitter de peor caso se presentan como un porcentaje del periodo de reloj. Las mediciones fueron clasificadas por chip y por posición geométrica en el arreglo (esquina, lado o interno). En la tabla 7 se incluye la figura de mérito $skew + Jitter (S+J)$; es válido agregarlos ya que juntos reducen la porción útil del periodo de reloj especificado.

5.1 Comparación de resultados

En la tabla 8 se resumen las principales figuras de mérito de las redes fabricadas. Puede observarse que los anillos sencillos y acoplados presentan el skew (37%), jitter (3.4%) y S+J (40.4%) más bajos; la frecuencia más alta al 10% de S+J (238.7MHz) y el rango de operación más grande; sin embargo, tienen el mayor consumo de potencia (298mW). Por su parte, los VCOs diferenciales acoplados presentan la peor degradación de señal debido al reducido barrido de voltaje de las señales, solo operaron adecuadamente a 592MHz y tienen el peor skew (54%). Finalmente, la red global alcanza la frecuencia más alta (1.3GHz) con el menor consumo de potencia (167mW), dando lugar a un mejor compromiso Potencia/frecuencia (0.95 mW/MHz); sin embargo, tiene el peor jitter (37%) y el peor S+J (74%).

De acuerdo con estos resultados podemos concluir que las redes de generación y distribución de señal de reloj en base a anillos interconectados y acoplados presentan características de desempeño altamente deseables para sistemas en un solo chip, tales como bajo jitter y relativamente bajo skew, alta robustez a fallas (principalmente de circuito abierto), y robustez a variaciones del proceso de fabricación. Si bien las redes en base a anillos interconectados fabricadas en este trabajo presentan ciertas características de desempeño relativamente aún inferiores a las de la red global árbol H (bastante utilizada en procesadores actuales), estas figuras de mérito pueden ser mejoradas utilizando arreglos matriciales mayores a 4x4, tal como se ha podido verificar en simulaciones. Asimismo, es altamente atractiva la tendencia de consumo de potencia de arreglos de osciladores interconectados y acoplados, pues este crece linealmente con el tamaño de chip, en comparación con el consumo exponencial que presentan las redes globales.

6. Conclusiones

Se han propuesto y verificado experimentalmente arreglos de anillos interconectados y acoplados como una alternativa de redes de generación y distribución de reloj para sistemas en un solo circuito integrado (SoC). Las redes no resonantes propuestas presentan características altamente deseables para dar solución a los problemas de sincronización de sistemas integrados grandes y complejos, entre las principales están: topología sencilla, alta regularidad, modularidad, altamente integrables y compatibles con la tecnología CMOS, generan frecuencias en el rango de los GHz, área reducida ya que no utilizan inductores, y su diseño es sencillo y directo.

Las redes propuestas dependen altamente del oscilador de anillo básico por lo que su desempeño irá de la mano de los avances que se tengan del oscilador. Al respecto, existe una amplia investigación de trabajos relacionados con el diseño de osciladores de anillo que generen señales con frecuencias en el rango de los GHz, y reducido consumo de potencia [10], [15]. Así, con el continuo escalamiento de

las tecnologías (Fig. 21) y la constante propuesta de nuevas topologías para las etapas de retardo, la frecuencia y el consumo de potencia del oscilador de anillo básico podrá en un futuro hacer posible redes de generación y distribución simultánea de señales de reloj con un desempeño mayor que el de redes del tipo global, incluso utilizando una mayor cantidad de etapas [16] (Fig. 22).

Agradecimientos

Al Consejo Nacional de Ciencia y Tecnología por el apoyo a través del proyecto 51511-Y.

Referencias

- [1]. H.B. Bakoglu. Circuits, interconnections, and packaging for VLSI. (Addison-Wesley Publishers Co. 1990).
- [2]. S. Tam, S. Rusu, U. N. Desai, R. Kim, J. Zhang, and I. Young., IEEE Journal of Solid-State Circuits, **35**, 1545 (2000).
- [3]. D. Sylvester and K. Keutzer, Proceedings of the IEEE, **89**, 467 (2001).
- [4]. ITRS: International Technology Roadmap for Semiconductors, Overview and Summaries. http://www.itrs.net/Common/2004Update/2004_00_Overview.pdf
- [5]. M. Salim., O. Gonzalez, M. Linares. 8th IEEE International Conference on Electronics, Circuits and Systems, 518 (2008).
- [5]. F. O'Mahony, C. P. Yue, M. A. Horowitz and S. S. Wong, Proceedings of the Design Automation Conference, 682 (2003).
- [6]. J. Wood, T.C. Edwards and S. Lipa, IEEE Journal of Solid-State Circuits, **36**, 1654 (2001).
- [7]. S. M. Manuel, Tesis Doctorado, Junio (2005). INAOE, México.
- [8]. S. M. Manuel, L. A. Mónico. Proceedings of the ACM Great Lakes Symposium on Very Large Scale Integration (2003) 41.
- [9]. P. B. Daniel, L. A. Mónico, Proceedings of the IEEE International Symposium on Circuits and Systems (2004) 752.
- [10]. http://www.math.nus.edu.sg/aslaksen/gem-projects/maa/World_of_Fractal.pdf, (2007).
- [11]. S. M. Manuel, L. A. Mónico. Proceedings Iberchip (2007).
- [12]. S. M. Manuel . A. H. Mariano. L. A. Mónico. Proceedings of the IEEE International Midwest Symposium on Circuits and Systems (2005) 720.
- [13]. Salim Maza Manuel, Linares Aranda Mónico. Proceedings of the IEEE International Midwest Symposium on Circuits and Systems 1163 (2009).
- [14]. Mónico Linares Aranda, Manuel Salim Maza, Daniel Pacheco Bautista. 4th International Conference on Electrical and Electronics Engineering, 377 (2007).
- [15]. O. Gonzalez Diaz, M. Linares Aranda, R. Torres Torres. 2nd International Symposium on Computing and Electronics: Design, Applications, Advanced Techniques and Current Challenges 1 (2009).
- [16]. Y. A. Eken et al., IEEE J. Solid-State Circuits, **39**, 230 (2004).
- [17]. R. Tao and M. Berroth, Electronics Letters, **40**, 1484 (2004).
- [18]. H. Jacobsson, B. Mingquan, L. Aspemyr, A. Mercha, G. Carchon, M. Ericsson. Microwave Symposium Digest, 2006. IEEE MTT-S International. 573 (2006).